

WU D1 (P1001, 0104)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. August 2002 (22.08.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/065548 A2

(51) Internationale Patentklassifikation⁷: **H01L 23/13**

LAACKMANN, Peter [DE/DE]; Schlierseestr. 11, 81541 München (DE).

(21) Internationales Aktenzeichen: PCT/DE02/00191

(74) **Anwalt: EPPING, HERMANN & FISCHER**; Ridlerstr. 55, 80339 München (DE).

(22) Internationales Anmeldedatum:
22. Januar 2002 (22.01.2002)

(25) Einreichungssprache: Deutsch

(81) **Bestimmungsstaaten (national)**: BR, CA, CN, IL, IN, JP, KR, MX, RU, UA, US.

(26) Veröffentlichungssprache: Deutsch

(84) **Bestimmungsstaaten (regional)**: europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(30) Angaben zur Priorität:
101 06 836.0 14. Februar 2001 (14.02.2001) DE

(71) **Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

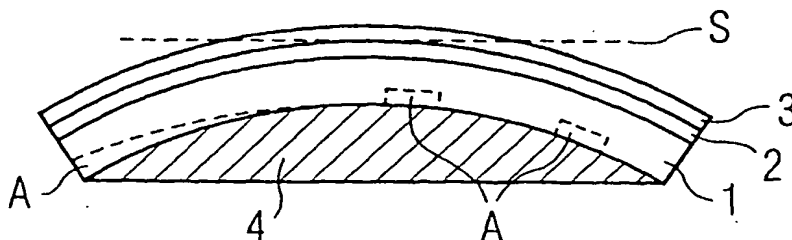
(72) **Erfinder; und**

(75) **Erfinder/Anmelder (nur für US): JANKE, Marcus** [DE/DE]; Spitzingplatz 3, 81539 München (DE).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) **Title: INTEGRATED CIRCUIT ARRANGEMENT CONSISTING OF A FLAT SUBSTRATE**

(54) **Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNG AUS EINEM FLÄCHIGEN SUBSTRAT**



(57) **Abstract:** The invention relates to an integrated circuit arrangement whose substrate has an integrated circuit that is configured on several layers, wherein at least one surface of the substrate does not have a planar configuration in the direction of propagation.

(57) **Zusammenfassung:** Es ist eine integrierte Schaltung vorgesehen, deren Substrat zum einen eine integrierte

Schaltung aufweist, die über mehrere Schichten ausgebildet ist, wobei zumindest eine Oberfläche des Substrats in einer Ausbreitungsrichtung nicht planar gestaltet ist.

WO 02/065548 A2

Beschreibung

Integrierte Schaltungsanordnung aus einem flächigen Substrat

- 5 Die Erfindung betrifft eine integrierte Schaltungsanordnung aus einem flächigen Substrat gemäß Patentanspruch 1.

Die Entwicklungskosten von integrierten Schaltungen, die sich auf einem Halbleiterchip befinden, sind heutzutage so hoch,
10 daß es für den Wettbewerber zunehmend interessant wird diese zu analysieren, um sie nachzubauen. Außerdem beruhen einige der heutigen Angriffe auf Halbleiterchips, die deren Sicherheit gefährden können, auf der detaillierten Kenntnis des internen Aufbaus dieser Bausteine. Daher wird auch aus Sicherheitsgründen versucht zu verhindern, daß ein Angreifer Details über den Aufbau eines solchen Halbleiterchips erfährt.
15 Weiterhin sind inzwischen Anwendungen üblich, bei denen die integrierten Schaltungen fest abgespeicherte Daten aufweisen. Um derartige Bausteine vor der Analyse zu schützen, sind bisher eine Vielzahl von Verfahren bekannt. Beispielsweise ist es bekannt, die Oberfläche integrierter Schaltungen so abzudecken, daß sie auf optischem Wege nicht ohne weiteres analysierbar sind. In der EP 0981162 A1 ist ein solcher Schutz beschrieben.

25

Solche Schutzmaßnahmen lassen sich jedoch dadurch umgehen, daß die Abdeckung durch vorsichtiges Abschleifen freigelegt wird, selbst wenn der Oberflächenschutz ätzfest ist. Durch schichtweises Abtragen und Fotografieren der jeweils freigelegten Schicht läßt sich bei derartigen Anordnungen der Aufbau der integrierten Schaltung nachträglich analysieren.
30

Aus der US 5,955,766 ist es bekannt auf einem kugelförmigen Substrat eine integrierte Schaltung auszubilden. Dieses Gebilde ist jedoch nicht mit üblichen Technologien herstellbar.
35

Der Erfindung liegt somit die Aufgabe zugrunde, eine integrierte Schaltungsanordnung vorzusehen, die mit geringem Aufwand eine hohe Analysiersicherheit bietet.

5 Diese Aufgabe wird erfindungsgemäß mit den im Patentanspruch 1 angegebenen Maßnahmen gelöst. Dadurch, daß das Substrat zumindest in einer Ausbreitungsrichtung durch den Träger von der ebenen Form in eine nicht planare gebracht ist, läßt es
10 sich mit vertretbarem Aufwand nicht mittels Schleifverfahren derart bearbeiten, daß die Oberfläche schichtweise vollständig analysierbar abgetragen werden kann.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den untergeordneten Ansprüche angegeben. Durch die nicht vor-
15 handene Planarität in einer zweiten Richtung, wird die zuvor angegebene Sicherheit erhöht. Durch das Auftragen eines Materials, zum Beispiel eines Klebstoffs oder einer aushärtbaren Keramik, welches eine hohe mechanische Spannung erzeugt, erfolgt die Verformung des Substrates.

20 Die gewünschte Verformung kann auch durch mechanische Spannungen erzeugt werden, die in dem Substrat selbst entstehen, beispielsweise durch Veränderung des chemischen oder physikalischen Gefüges des Substrats. Hierfür sind beispielsweise
25 Implantationsverfahren, Diffusionsverfahren oder thermische Verfahren nutzbar. Löt- und Verbindungsverfahren, etwa zwischen mehreren Substraten, die übereinander angeordnet sind, können ebenfalls bei geeigneter Technologie dazu verwendet werden, gezielt mechanische Spannungen im Substrat zu erzeugen.
30

Ein verformtes Substrat behält in der Regel nach einiger Zeit seine verformte Gestalt bei. Um zu verhindern, daß durch Aus-
35 üben eines Druckes das Substrat wieder in eine ebene, planare Form gebracht wird, können auch zumindest auf einer Oberfläche Teilbereiche entfernt sein.

Durch das Vorsehen von Erhöhungen auf dem Träger läßt sich mit einfachen Mitteln eine sehr aufwendige nicht planare Oberflächenform der integrierten Schaltungsanordnung erzielen.

5

Nachfolgend wird die Erfindung unter Bezugnahme auf die Zeichnung erläutert.

Es zeigen:

10

Figur 1 den grundsätzlichen Aufbau einer integrierten Schaltungsanordnung auf einem Halbleiter-Chip,

Figur 2 ein erstes Ausführungsbeispiel einer erfindungsgemäßen integrierten Schaltungsanordnung auf einem Halbleiter-

15

Chip,
Figur 3 die Oberfläche bei einer Abwandlung des ersten Ausführungsbeispiels,

Figur 4 ein zweites erfindungsgemäßes Ausführungsbeispiel,

Figur 5 eine Abwandlung des zweiten Ausführungsbeispiels,

20

Figur 6 eine zweite Abwandlung des zweiten Ausführungsbeispiels und
Figur 7 eine mögliche Oberflächengestaltung.

25

In Figur 1 ist der grundsätzliche Aufbau einer integrierten Schaltungsanordnung dargestellt. Auf einem Substrat 1 sind in mehreren Schichten, die hier als die Schichten 2 und 3 als Minimallösung dargestellt sind, eine integrierte Schaltung in bekannter Weise aufgebaut. Üblich sind derzeit deutlich mehr als zwei Schichten. Minimal ist die Erfindung erst ab zwei
30 Schichten sinnvoll anwendbar, da nur dann eine Schicht vorhanden ist, die abgetragen werden kann, um die darunter liegende Schicht zu analysieren.

35

In Figur 2 ist dargestellt, daß auf der den Schichten 2 und 3 angewandten Seite ein Material 4 aufgebracht ist, das beim Aushärten zu einer Verspannung des Substrates 1 führt, so daß sich eine zumindest in einer Richtung gekrümmte Oberfläche

bildet. Hierzu sind handelsübliche Klebstoffe auf Epoxydharzbasis einsetzbar.

Wird diese Oberfläche mit einem Schleifvorgang beispielsweise auf Höhe der gestrichelten Linie S abgetragen, so ist von der darunter liegenden Schicht nur ein geringer Ausschnitt zu erkennen. Soll auch der Rest der Schicht 3 abgetragen werden, so würde gleichzeitig ein großer Teil der Schicht 2 ebenfalls mit abgetragen werden.

Neben einer in eine Richtung möglichen Krümmung ist, wie in Figur 3 dargestellt, auch eine Krümmung in zwei Richtungen möglich. Bei heute üblichen Chipdicken von 185 μm lassen sich somit leicht zu Verformungen von mindestens 1 μm über die gesamte Chipfläche erreichen. Dabei ist zu beachten, daß gegebenenfalls der Chip stärker gedünnt werden könnte um eine stärkere Verformung zu erzielen. Ebenfalls ist an eine torsionsartige Verformung, wie in Figur 7 dargestellt zu denken. Dabei ist beispielsweise, wie mit den dargestellten Pfeilen angedeutet, ein gegengleiches Verdrehen jeweils gegenüberliegender Seiten, möglich.

Um zu verhindern, daß für den Fall, daß es gelingt, das Material 4 abzutragen, mittels Druck das Substrat 1 wieder in eine ebene Form zu drücken sei, können von der Substratoberfläche Teile A entfernt werden, wie in Figur 2 gestrichelt angedeutet ist. Dies erfolgt entweder durch schräges Abätzen oder Schleifen von Randbereichen des Substrates wie auf der linken Seite von Figur 2 dargestellt ist oder durch Herausätzen oder Schleifen von einzelnen Teilen A, wie auf der rechten Seite von Figur 2 dargestellt ist. Auf diese Weise ist gewährleistet, daß es nicht gelingt, oder zumindest sehr aufwendig ist, das Substrat 1 nach einer Verformung wieder in eine ebene Form zu bringen.

Gemäß Figur 4 ist die integrierte Schaltungsanordnung so aufgebaut, daß das Substrat auf einem Träger 5 aufgebracht ist,

wobei der Träger 5 das Substrat formt. Auch hier könnten wieder Ausnehmungen vorgesehen sein, die im Zusammenhang mit Figur 4 nicht dargestellt sind. Gemäß der Ausgestaltung nach Figur 5 ist der Träger 5 nicht wie gemäß Figur 4 nur an einer Oberfläche verformt, sondern ebenfalls insgesamt aus einer ebenen Form in eine gekrümmte oder auch verdrehte Form gebracht.

Figur 6

In einem weiteren erfindungsgemäßen Ausführungsbeispiel sind auf der Oberfläche des Trägers 5 Erhebungen 6 ausgebildet, die beim Zusammenbringen mit dem Substrat 1, das Substrat 1 zusammen mit seinen aufgetragenen Schichten verformt. Dies kann insbesondere dadurch erfolgen, daß ein ähnliches Material 4, wie im gemäß Figur 2 dargestellten Ausführungsbeispiel in die Zwischenräume zwischen den Erhebungen, dem Substrat und dem Träger eingebracht ist, der mit dem Trocknen zur Ver-
spannung des Substrates führt.

Zusammenfassend sei darauf hingewiesen, daß die Grundidee der Erfindung darin beruht, das eine integrierte Schaltung tragende Substrat dauerhaft so zu verformen, daß es nicht gelingt mittels eines Schleifverfahrens selektiv die auf dem Substrat aufgetragenen Schichten schichtweise abzutragen.

Grundsätzlich ist es auch denkbar, einen Halbleiter-Chip mit einer grundsätzlich von der Planarität abweichenden Oberfläche direkt zu fertigen. Auf einer derartigen Chipoberfläche sind die üblichen Verfahrensschritte zu Herstellung integrierter Schaltungen mit den heute verfügbaren Technologien nur sehr schwer einsetzbar, um integrierte Schaltungen mit der gewünschten Komplexität herzustellen.

Bezugszeichenliste

- 1 / Substrat
- 2 erste Schicht
- 5 3 zweite Schicht
- 4 Material (z.B. Klebstoff, Keramik)
- 5 Träger
- 6 Erhebungen
- A Ausnehmungen

Patentansprüche

1. / Integrierte Schaltungsanordnung bestehend aus einem flächigen Substrat (1), auf dem zumindest einseitig eine integrierte Schaltung in mehreren Schichten (2, 3) ausgebildet ist, wobei zumindest eine Oberfläche des Substrats (1) zumindest in einer Ausbreitungsrichtung nicht planar ist,
dadurch gekennzeichnet, daß
das Substrat (1) auf einem Träger (5) angeordnet ist, der dem Substrat eine Krümmung verleiht.
2. Integrierter Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß
die zumindest eine Oberfläche in einer zweiten Richtung nicht planar ist.
3. Integrierte Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß
das Substrat (1) durch eine geeignete Verbindungstechnik mit mindestens einem zweiten Substrat verbunden wird, wodurch mechanische Spannungen entstehen, die dem Substrat die Krümmung verleihen.
4. Integrierte Schaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß
im Substrat (1) durch chemische oder physikalische Änderungen des Gefüges des Substrates mechanische Spannungen entstehen, die dem Substrat die Krümmung verleihen.
5. Integrierte Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß

dem Substrat (1) an einer seiner Oberflächen Teilbereiche entfernt sind, so daß Strukturen entstehen, in die das nach Anspruch 3 aufgebrauchte Material eindringen kann.

- 5 6. Integrierte Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß der Träger (5) an seiner Oberfläche mindestens eine Erhebung (6) aufweist.

1/2

FIG 1

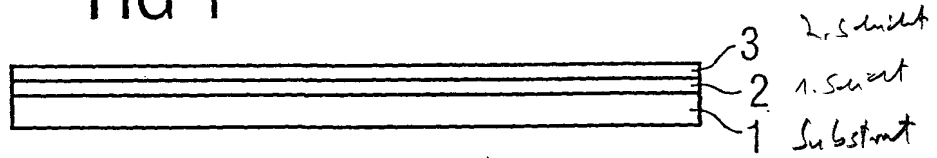


FIG 2

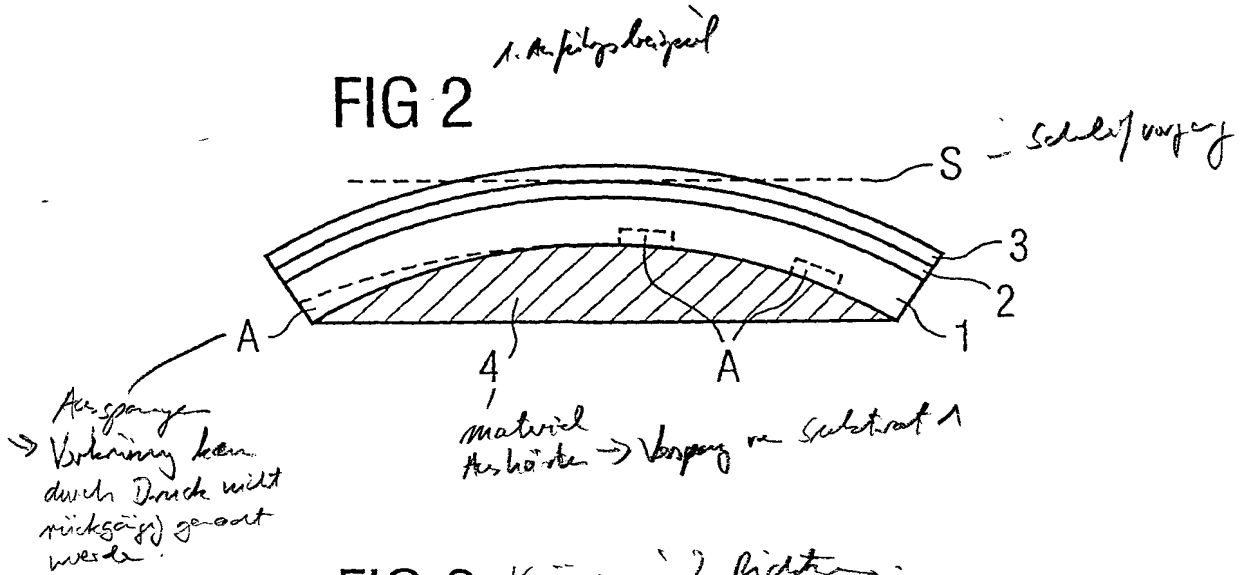


FIG 3

Krümmung in 2 Richtungen

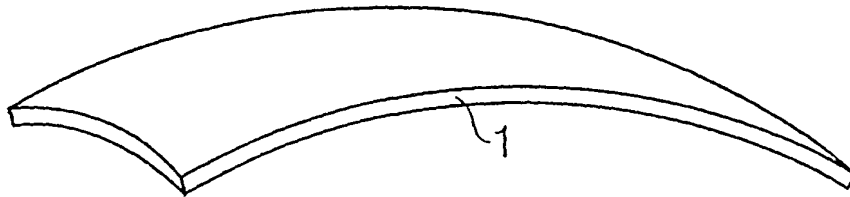
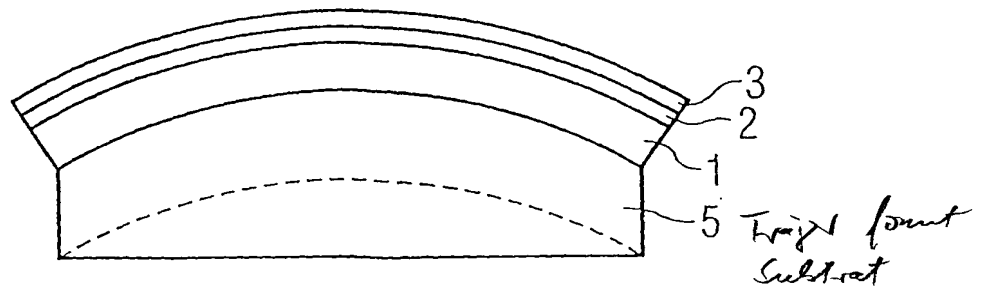


FIG 4

2. Auftragsbeispiel



2/2

FIG 5

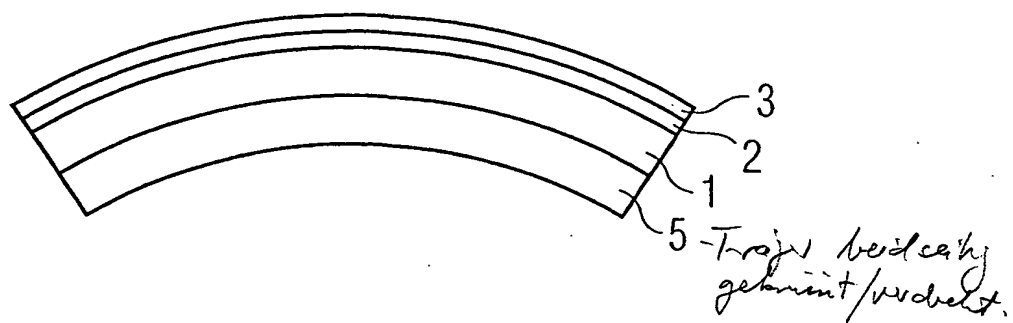


FIG 6

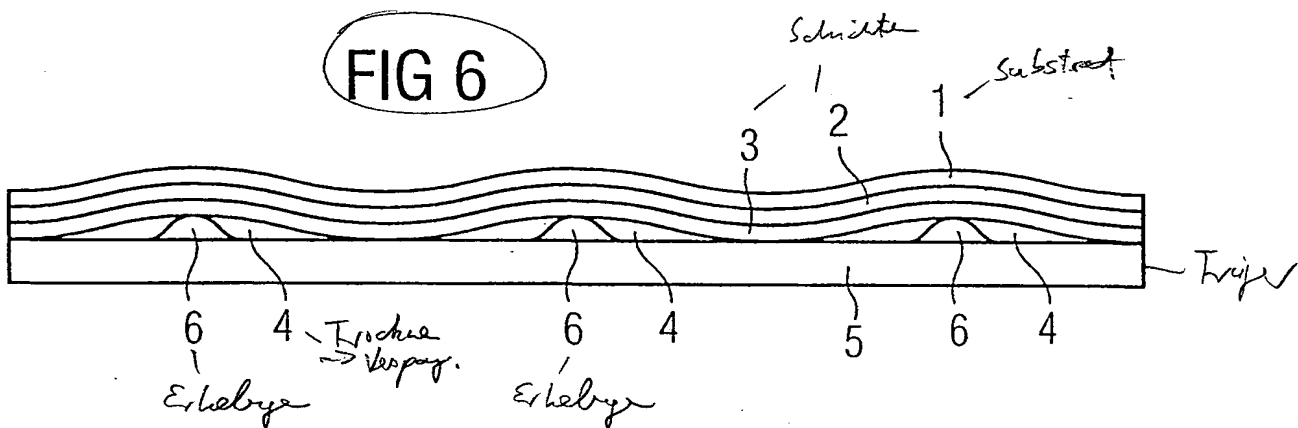
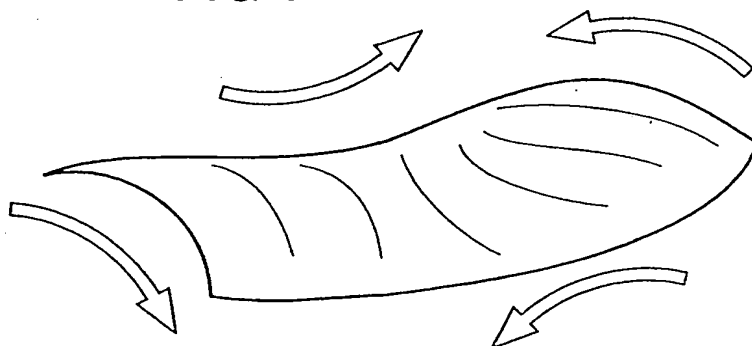


FIG 7 torsionsfähige Vorform.



THIS PAGE BLANK (USPTO)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. August 2002 (22.08.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/065548 A3

(51) Internationale Patentklassifikation⁷: **H01L 23/13**,
23/58

(74) Anwalt: **EPPING, HERMANN & FISCHER**; Ridlerstr.
55, 80339 München (DE).

(21) Internationales Aktenzeichen: PCT/DE02/00191

(81) Bestimmungsstaaten (*national*): BR, CA, CN, IL, IN, JP,
KR, MX, RU, UA, US.

(22) Internationales Anmeldedatum:
22. Januar 2002 (22.01.2002)

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
101 06 836.0 14. Februar 2001 (14.02.2001) DE

Veröffentlicht:
— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(88) Veröffentlichungsdatum des internationalen
Recherchenberichts: 17. Oktober 2002

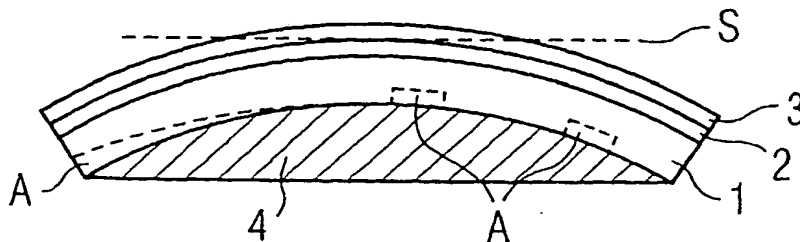
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **JANKE, Mar-
cus** [DE/DE]; Spitzingplatz 3, 81539 München (DE).
LAACKMANN, Peter [DE/DE]; Schlierseestr. 11, 81541
München (DE).

Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.

(54) Title: INTEGRATED CIRCUIT ARRANGEMENT CONSISTING OF A FLAT SUBSTRATE

(54) Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNG AUS EINEM FLÄCHIGEN SUBSTRAT



(57) Abstract: The invention relates to
an integrated circuit arrangement whose
substrate has an integrated circuit that is
configured on several layers, wherein at
least one surface of the substrate does not
have a planar configuration in the direc-
tion of propagation.

(57) Zusammenfassung: Es ist eine
integrierte Schaltung vorgesehen, deren
Substrat zum einen eine integrierte

Schaltung aufweist, die über mehrere Schichten ausgebildet ist, wobei zumindest eine Oberfläche des Substrats in einer
Ausbreitungsrichtung nicht planar gestaltet ist.

WO 02/065548 A3

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 02/00191

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L23/13 H01L23/58

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7/ H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

PAJ, EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 07, 29 September 2000 (2000-09-29) & JP 2000 112825 A (NIPPON TELEGR &TELEPH CORP <NTT>), 21 April 2000 (2000-04-21) abstract	1,2,6
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 581 (E-865), 21 December 1989 (1989-12-21) & JP 01 244625 A (MITSUBISHI ELECTRIC CORP), 29 September 1989 (1989-09-29) abstract	1,2,6
P,X	US 2001/049155 A1 (YAMAJI YASUHIRO) 6 December 2001 (2001-12-06) the whole document	1,2

☐ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

27 August 2002

Date of mailing of the international search report

02/09/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Ahlstedt, M

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 02/00191

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 2000112825 A	21-04-2000	NONE	
JP 01244625 5 A		NONE	
US 2001049155 A1	06-12-2001	JP 3265301 B2 JP 2001352032 A	11-03-2002 21-12-2001

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 02/00191

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L23/13 H01L23/58

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

PAJ, EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 07, 29. September 2000 (2000-09-29) & JP 2000 112825 A (NIPPON TELEGR & TELEPH CORP & NTT;), 21. April 2000 (2000-04-21) Zusammenfassung	1, 2, 6
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 581 (E-865), 21. Dezember 1989 (1989-12-21) & JP 01 244625 A (MITSUBISHI ELECTRIC CORP), 29. September 1989 (1989-09-29) Zusammenfassung	1, 2, 6
P, X	US 2001/049155 A1 (YAMAJI YASUHIRO) 6. Dezember 2001 (2001-12-06) das ganze Dokument	1, 2

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

27. August 2002

Absenddatum des internationalen Recherchenberichts

02/09/2002

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Ahlstedt, M

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 02/00191

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 2000112825 A	21-04-2000	KEINE	
JP 01244625 5 A		KEINE	
US 2001049155 A1	06-12-2001	JP 3265301 B2	11-03-2002
		JP 2001352032 A	21-12-2001

THIS PAGE BLANK (USPTO)